



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001274379 A**(43) Date of publication of application: **05.10.01**

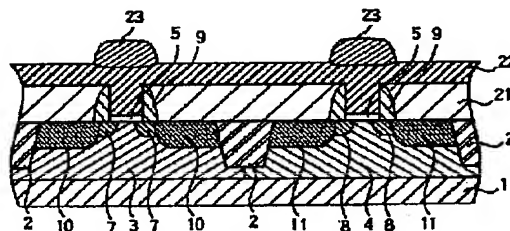
(51) Int. Cl.

H01L 29/78
H01L 21/28
(21) Application number: **2000081866**(22) Date of filing: **23.03.00**(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor: **DAN TORU**(54) **MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a field effect semiconductor device for easy micromachining.

SOLUTION: After a normal MISFET using a gate electrode 5 of polycrystal silicon is formed, an inter-layer insulating film 21 is flattened by CMP so that the polycrystal silicon gate electrode 5 is exposed before an aluminum film 22 is deposited. This is annealed in a nitrogen atmosphere so that the polycrystal silicon gate electrode is substituted with aluminum.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274379

(P2001-274379A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 L 4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 G 5 F 0 4 0

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-81866 (P2000-81866)

(22) 出願日 平成12年3月23日 (2000.3.23)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 植 徹

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100085213

弁理士 鳥居 洋

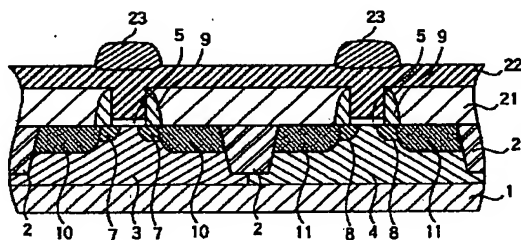
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 この発明は、微細化を容易に達成することができる電界効果型半導体装置を提供することをその目的とする。

【解決手段】 多結晶シリコンのゲート電極5を用いた通常のMISFETを形成後、層間絶縁膜21をCMPにより平坦化し、多結晶シリコンゲート電極5を露出させた後、アルミニウム膜22を堆積する。窒素雰囲気下でアニールし、多結晶シリコンのゲート電極をアルミニウムに置換する。



【特許請求の範囲】

【請求項1】 一導電型半導体基板又は半導体領域上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上にシリコン系材料からなるゲート電極を形成する工程と、上記半導体基板又は半導体領域上に上記ゲート電極をマスクとして他導電型の第1の不純物を導入する工程と、上記第1の不純物を活性化する工程と、上記半導体基板又は半導体領域上及び上記ゲート電極上に層間絶縁膜を堆積する工程と、上記層間絶縁膜を平坦化し上記ゲート電極を露出させる工程と、上記ゲート電極及び層間絶縁膜上にアルミニウム膜を堆積する工程と、窒素雰囲気中で熱処理を施して上記ゲート電極をアルミニウムに置換する工程と、上記ゲート電極を除いて上記アルミニウムを除去し、ゲート電極を分離する工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項2】 一導電型半導体基板又は半導体領域上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上にシリコン系材料からなるゲート電極を形成する工程と、上記半導体基板又は半導体領域上に上記ゲート電極をマスクとして他導電型の第1の不純物を導入する工程と、上記第1の不純物を活性化する工程と、上記ゲート電極の両側面上にサイドウォールを形成する工程と、上記半導体基板又は半導体領域上に上記ゲート電極及び上記サイドウォールをマスクとして他導電型の第2の不純物を導入する工程と、上記第2の不純物を活性化する工程と、上記半導体基板及び半導体領域、上記ゲート電極及び上記サイドウォール上に層間絶縁膜を堆積する工程と、上記層間絶縁膜を平坦化し上記ゲート電極を露出させる工程と、上記ゲート電極及び層間絶縁膜上にアルミニウム膜を堆積する工程と、窒素雰囲気中の熱処理により上記ゲート電極をアルミニウム膜に置換する工程と、上記ゲート電極を除いて上記アルミニウムを除去し、ゲート電極を分離する工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項3】 前記アルミニウム膜上にチタン膜を積層することを特徴とした請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記アルミニウムの除去を化学機械的研磨法で行うことを特徴とした請求項1または2に記載の半導体装置の製造方法。

【請求項5】 前記アルミニウムをリソグラフィによるエッチングでパターンニングすることで前記アルミニウムの除去を行うとともにパターンニングの幅は、ゲート電極の幅よりも広くすることを特徴とした請求項1ないし3のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の製造方法にかかり、詳しくは、MISトランジスタの製造方法に関するものである。

【0002】

【従来の技術】MISトランジスタは、微細化に伴うゲート絶縁膜の薄膜化により、ゲート電極の空乏化が問題となっている。ゲート電極の空乏化を抑制する方法として、ゲート電極を従来の多結晶シリコン膜に替えて金属膜を使用することが考えられている。

【0003】金属膜を用いたゲート電極を形成する方法として、リブレースゲートが、CHATTERJEE等が「CMOS Metal Replacement Gate Transistors using Tantalum Pentoxide Gate Insulator」(IEDM, 777, 1998)に提案している。また、ダマシゲートが、YAGISHITA等が「High Performance Metal Gate MOSFET Fabricated by CMP for 0.1μm Regime」(IEDM, 785, 1998)に提案している。

【0004】これらは、多結晶シリコン膜をゲート電極に用いてMISFETを形成後、層間絶縁膜をCMP (Chemical Mechanical Polishing: 化学機械的研磨法)により平坦化し、多結晶シリコン膜を除去した後、金属膜のゲート電極を埋め込む方法である。

【0005】この方法は、従来の金属膜のゲート形成方法に対し、次のような利点を備える。

【0006】(1)ゲート形成はトランジスタ形成後に行うため、トランジスタ形成において高温熱処理を適用でき、優れた特性が得られる。

(2)チャンネルに対しセルフアラインでゲート電極を形成するため微細化に対応できる。

【0007】

【発明が解決しようとする課題】しかしながら、前記した方法によれば、金属膜のゲート電極を埋め込む前に、多結晶シリコンのゲート電極を除去する工程を必要とするため、ゲート電極直下のゲート酸化膜にダメージが加わることになる。このため、ゲート酸化膜も同時に除去し、新たにゲート絶縁膜を形成する必要があるが、その場合、酸化増速拡散の影響で、LDDあるいはソース/ドレインエクステンション部やソース/ドレイン部などの拡散層が再拡散し、MISFETの微細化を阻害するという問題があった。

【0008】この発明は、上述した従来の問題点を解決するためになされたものにして、微細化を容易に達成することができる電界効果型半導体装置を提供することをその目的とする。

【0009】

【課題を解決するための手段】この発明は、一導電型半導体基板又は半導体領域上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上にシリコン系材料からなるゲート電極を形成する工程と、上記半導体基板又は半導体

領域上に上記ゲート電極をマスクとして他導電型の第1の不純物を導入する工程と、上記第1の不純物を活性化する工程と、上記半導体基板又は半導体領域上及び上記ゲート電極上に層間絶縁膜を堆積する工程と、上記層間絶縁膜を平坦化し上記ゲート電極を露出させる工程と、上記ゲート電極及び層間絶縁膜上にアルミニウム膜を堆積する工程と、窒素雰囲気中で熱処理を施して上記ゲート電極をアルミニウムに置換する工程と、上記ゲート電極を除いて上記アルミニウムを除去し、ゲート電極を分離する工程と、を備えていることを特徴とする。

【0010】また、この発明は、一導電型半導体基板又は半導体領域上にゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上にシリコン系材料からなるゲート電極を形成する工程と、上記半導体基板又は半導体領域上に上記ゲート電極をマスクとして他導電型の第1の不純物を導入する工程と、上記第1の不純物を活性化する工程と、上記ゲート電極の両側面上にサイドウォールを形成する工程と、上記半導体基板又は半導体領域上に上記ゲート電極及び上記サイドウォールをマスクとして他導電型の第2の不純物を導入する工程と、上記第2の不純物を活性化する工程と、上記半導体基板及び半導体領域、上記ゲート電極及び上記サイドウォール上に層間絶縁膜を堆積する工程と、上記層間絶縁膜を平坦化し上記ゲート電極を露出させる工程と、上記ゲート電極及び層間絶縁膜上にアルミニウム膜を堆積する工程と、窒素雰囲気中の熱処理により上記ゲート電極をアルミニウム膜に置換する工程と、上記ゲート電極を除いて上記アルミニウムを除去し、ゲート電極を分離する工程と、を備えていることを特徴とする。

【0011】前記アルミニウム膜上にチタン膜を積層するように構成すればよい。

【0012】また、前記アルミニウムの除去を化学機械的研磨法またはリソグラフィによるエッチングでパターンニングすることで行なえばよい。

【0013】上記したように、この発明に係る半導体装置の製造方法は、シリコン系材料からなるゲート電極を除去することなく、低温で金属ゲートに置き換えるものである。すなわち、多結晶シリコンのゲート電極を用いた通常のMISFETを形成後、層間絶縁膜をCMPにより平坦化し、多結晶シリコンゲート電極を露出させた後、アルミニウム単体あるいはTi/アルミニウムの積層膜を堆積する。然る後に、窒素雰囲気中でアニールすることにより、シリコン系材料のゲート電極をアルミニウムに置換することができる。その後、堆積した金属膜及び析出したシリコン系材料を除去することで、アルミニウムをゲート電極材料としたMISFETを形成することができる。

【0014】この方法によれば、シリコン系材料のゲート電極を除去する工程を省くことができるため、ゲート酸化膜にダメージを加えることがなく、良好な酸化膜の

特性を保つことができる。また、ゲート電極材料の置換に伴う熱処理の温度は低いため、LDDあるいはソース/ドレインエクステンション部やソースドレイン部などの拡散層が再拡散することがなく、MISFETの微細化を容易に達成することができる。

【0015】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して詳細に説明する。

【0016】図1ないし図5は、この発明の一実施の形態に係る半導体装置の製造方法を工程別に示す断面図である。この実施の形態では、CMISデバイスに適用する場合について説明する。

【0017】まず、図1(a)に示すように、p型単結晶シリコン半導体基板1に、通常のSTI(Shallow Trench Isolation)プロセスにより素子分離絶縁膜2を形成し、続いて、n型MISFETを形成する領域に、p型ウエル及びチャネル領域3を形成、p型MISFETを形成する領域にn型ウエル及びチャネル領域4を形成する。この時、チャネル領域3及び4には、アルミニウム膜のゲート電極に対し適切な閾値電圧が得られるように、閾値調整用チャネル注入を行い、p型ウエル領域は表面チャネル、n型ウエル領域は埋め込みチャネルを形成する。

【0018】次に、同図1(a)に示したように、熱酸化法等によりシリコン半導体基板1の表面を酸化し、例えば3nm程度の膜厚のゲート絶縁膜5を形成する。次に、減圧CVD法を用い、例えば610℃の温度で多結晶シリコン膜を200nm程度の膜厚に形成した後、多結晶シリコン膜上にシリコン酸化膜あるいはシリコン窒化膜を堆積し、フォトリソグラフィ、エッチング工程により多結晶シリコン膜及びシリコン酸化膜あるいはシリコン窒化膜をパターンニングし、多結晶シリコン膜からなるゲート電極6を形成する。この時、多結晶シリコン膜の膜厚は、50nmから200nm程度の範囲で変更可能である。

【0019】その後、同図1(a)に示したように、ゲート電極5をマスクとして、n型MIS領域3及びp型MIS領域4の活性領域に不純物をイオン注入し、LDD(Lightly Doped Drain)あるいは、ソース/ドレインエクステンション構造7、8を形成する。この時、n型MIS領域3には、不純物として、例えば、Asを3~15keV程度のエネルギーで打ち込み、そのドーズ量は、例えば、 $5 \times 10^{14}/\text{cm}^2$ とする。また、p型MIS領域4には、不純物として、例えば、BF₃を3~15keV程度のエネルギーで打ち込み、そのドーズ量は、例えば、 $5 \times 10^{14}/\text{cm}^2$ とする。

【0020】続いて、窒素雰囲気中でのRTA(Rapid Thermal Anneal)処理を行う。具体的には、例えば、1000℃の温度下で10秒という

短時間の熱処理を行う。なお、この時の温度は1000℃～1100℃の範囲で変更可能である。このRTA処理により、LDDあるいは、ソース/ドレインエクステンションの活性化が行われると共に、次に、続くサイドウォールスペース堆積時の不純物拡散を抑制することが出来る。

【0021】次に、同図1(a)に示したように、LDDあるいは、ソース/ドレインエクステンション構造形成に必要なサイドウォール9をゲート側壁に形成する。

【0022】その後、同図1(a)に示したように、n型MIS領域3及びp型MIS領域4の活性領域に不純物をイオン注入し、ハイドロプのソース及びドレイン領域10、11を形成する。この時、n型MIS領域3には、不純物として、例えば、Asを6～30keV程度のエネルギーで打ち込み、そのドーズ量は、例えば、 $3 \times 10^{11}/\text{cm}^2$ とする。一方、p型MIS領域4には、不純物として、例えば、BF₃を6～30keV程度のエネルギーで打ち込み、そのドーズ量は、例えば、 $3 \times 10^{11}/\text{cm}^2$ とする。

【0023】続いて、窒素雰囲気中でのRTA処理を行う。具体的には、例えば、1000℃の温度下で10秒という短時間の熱処理を行う。なお、この時の温度は1000℃～1100℃の範囲で変更可能である。このRTA処理により、ソース及びドレイン領域10、11を活性化すると共に、次に続くサリサイド工程における不純物の再拡散を抑制することが出来る。

【0024】次に、ソース及びドレイン領域10、11を、チタン(Ti)あるいはコバルト(Co)をスパッタして形成した後、第1RTA処理、選択エッチング、第2RTA処理を行うことにより、ソース及びドレイン領域10、11を自己整合的にシリサイド化してサリサイド構造を形成する。この時、シリサイド層の厚さは、例えば、50nm程度である。また、ゲート電極6上は、シリコン酸化膜あるいはシリコン窒化膜が堆積されており、サリサイド化はされない。

【0025】次に、同図1(a)に示したように、全面に水分ストップパとしてシリコン窒化(Si₃N₄)膜を20nm程度の膜厚に形成した後、PE-CVD法により、NSG又はBPSGなどからなる層間絶縁膜21を約300nm程度堆積する。

【0026】次に、図2に示したように、層間絶縁膜21をCMP(Chemical Mechanical Polishing:化学機械的研磨法)により平坦化し、多結晶シリコンからなるゲート電極6を露出させる。その後、マグネトロンスパッタ法などにより全面に、アルミニウム膜(Al)22を約400nm堆積させる。この時、アルミニウム膜の膜厚は、例えば200～1000nmの範囲で変更可能である。

【0027】その後、図3に示したように、基板を窒素雰囲気中、500℃で30分熱処理する。この熱処理を

施すことにより、ゲート電極6の多結晶シリコンがアルミニウム膜に置換され、ゲート電極がアルミニウムになる。この時、多結晶シリコンは、アルミニウム膜22の表面に析出する。

【0028】続いて、図4に示したように、堆積したアルミニウム及び析出した多結晶シリコンをCMPにより除去し、アルミニウムからなるゲート電極24を形成する。

【0029】そして、図5に示したように、SOG(Spin On Glass)などからなる層間絶縁膜31を約500nm堆積し、コンタクトホールを形成後、ブランケットタングステン法によりコンタクトホールを導電プラグ32で埋め込む。更に、アルミニウムを主成分とする配線層を形成した後、これを所定のパターンにパターンニングして配線33を形成する。このようにして、ゲート電極24にアルミニウムを用いたCMISFETデバイスが完成する。

【0030】上記したように、この発明は、MISFETのゲート電極を多結晶シリコンからアルミニウムに置換したので、ゲートの空乏化が抑制され、実効的な酸化膜厚を薄くし、CMISFETの動作電流を大きくすることができる。

【0031】また、ゲート電極の抵抗を大幅に低減することができ、動作速度を早くすることができる。更に、高周波領域でアナログ動作させた場合の、遮断周波数向上やノイズ低減が可能となる。

【0032】さらに、リブレースゲートプロセスやダマシゲートプロセスでは、金属のゲート電極形成時にゲート酸化が必要なため、酸化に伴う増速拡散によりLDDあるいはソース/ドレインエクステンションが再拡散し、またゲート酸化温度を低くするため良好なシリコン/酸化膜界面が得られないなどの問題があったが、この発明の方法によれば、ゲート酸化膜は、プロセス初期段階で形成したものをそのまま用いるため、LDDあるいはソース/ドレインエクステンションの再拡散がないため、微細化が容易であり、且つ良好なシリコン/酸化膜界面を得ることができる。

【0033】尚、この発明は上記した実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。

【0034】例えば、多結晶シリコンゲート電極と置換するための、アルミニウム堆積時に、アルミニウム膜上にチタン(Ti)膜を積層してもよい。この場合、Tiはシリコンの捕獲層として働き、置換を加速することができる。このTiの膜厚は、例えば、40～200nmの範囲で変更可能である。また、熱処理時間も30分から1時間の範囲で変更可能である。また、堆積したアルミニウムを除去する工程は、CMP以外にも、リソグラフィによるパターンニングを用いてもよい。この時のパターンニングの幅は、ゲート電極の幅よりも広くするとよ

い。

【0035】また、ゲート電極の材料として多結晶シリコンを用いたが、シリコン系材料であればよく、微結晶シリコン、多結晶シリコンなどの結晶系シリコンや、非晶質シリコンなどの非晶質系シリコンを用いることができる。

【0036】また、上記した実施形態においては、LDD構造を有するCMISデバイスにつき説明したが、通常のMISデバイスにももちろん適用することができる。

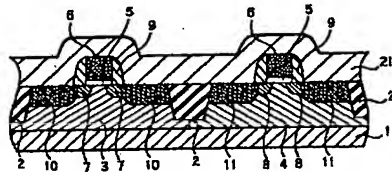
【0037】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、ゲート電極を多結晶シリコンからアルミニウムに置き換えることができるので、ゲートの空乏化が抑制され、実効的な酸化膜厚を薄くし、CMISFETの動作電流を大きくすることが可能となる。

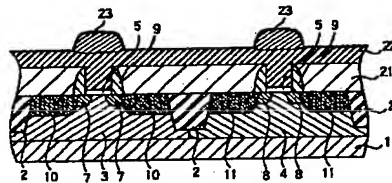
【図面の簡単な説明】

【図1】この発明の一実施の形態に係る半導体装置の製*

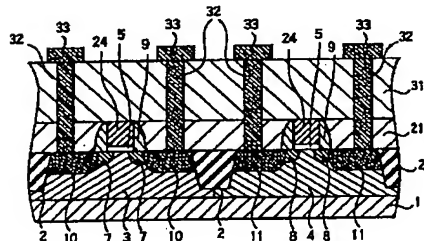
【図1】



【図3】



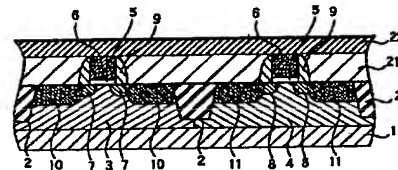
【図5】



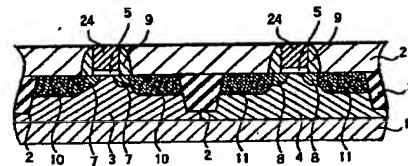
10 【符号の説明】

- 1 シリコン半導体基板
- 2 素子分離絶縁膜
- 5 ゲート絶縁膜
- 6 ゲート電極
- 10, 11 ソース/ドレイン領域
- 21 層間絶縁膜
- 22 アルミニウム膜
- 24 ゲート電極 (アルミニウム)

【図2】



【図4】



フロントページの続き

F ターム(参考) 4M104 AA01 BB02 BB20 BB25 CC05
DD03 DD04 DD37 DD43 DD80
DD83 DD84 EE09 GG09 GG10
GG14 HH14 HH16
5F040 DB03 EC01 EC07 EC10 EC12
EF02 EH05 EJ03 EK05 FA02
FA05 FA07 FB02 FB05 FC10
FC19